

引用格式:杨钞翔,孔宪伟,栾文焕,等.基于 FC 协议的 PCS 层设计和协议分析仪验证 [J].微电子学与计算机,2019,36(3):7-11.[YANG Chao-xiang, KONG Xian-wei, LUAN Wen-huan, et al. Design and protocol analyzer verification of the physical coding sublayer based on the FC protocol [J]. Microelectronics & Computer, 2019, 36(3): 7-11.]

基于 FC 协议的 PCS 层设计和协议分析仪验证

杨钞翔¹,孔宪伟²,栾文焕¹,张远航¹,
王志军¹,张 春¹,王自强¹

(1 清华大学 微电子学研究所,北京 100084;2 中国电子技术标准化研究院
集成电路测试与评价工业和信息化部重点实验室,北京 100176)

摘 要: FC 光纤通道协议作为新一代重要总线技术,具有带宽高、扩展性强、可靠性强、实时性强、支持多种媒介、抗电磁干扰等优良特点,发展迅速并在诸多领域得到了广泛应用.本文针对 FC 协议的 PCS 层进行深入研究,解析其关键模块:弹性缓冲器、8B/10B 编解码器、位宽变换器、同步器等,提出整体设计架构,使用 verilog 语言完成代码设计,搭建回环验证平台,并采用 FC 专用协议分析仪,结合 FPGA 进行验证,完成设计.

关键词: FC 协议;PCS 层;协议分析仪;FPGA 验证

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2019)03-0007-05

Design and protocol analyzer verification of the physical coding sublayer based on the FC protocol

YANG Chao-xiang¹, KONG Xian-wei², LUAN Wen-huan¹, ZHANG Yuan-hang¹,
WANG Zhi-jun¹, ZHANG Chun¹, WANG Zi-qiang¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China; 2 Key Laboratory of Integrated Circuits Testing and Evaluation, Ministry of Industry and Information Technology, Beijing 100176, China)

Abstract: As an important new generation of bus technology, the Fibre Channel protocol has the excellent features of high bandwidth, strong scalability, high reliability, real-time performance, supporting for multiple media, and immunity to electromagnetic interference. It has developed rapidly and has been widely used in many fields. This article carries on the thorough research to the PCS layer of the FC protocol, and analyzes its key modules: elastic buffer, 8B/10B codec, bit-width converter, synchronizer, etc. And it proposes an overall design architecture, uses verilog language to complete code design, builds a loopback verification platform, and uses the FC protocol analyzer, combined with FPGA verification to complete the design.

Key words: FC protocol; protocol analyzer; design; FPGA verification

1 引言

FC(Fibre Channel)协议通常被称为光纤通道协议,最早由美国国家标准委员会于 1988 年成立专门小组开始制定,作为一种非常重要的高速串行传

输协议,核心目的是适应迅速发展的高速传输需求.作为新一代总线技术,光纤通道协议使得在同一物理接口上运行网络协议和通道标准成为可能,并且能在各个网络层次上可以提供多种选项,包括多种层次、多种优先级控制、多种服务类型、多种拓扑结

构、多种上层协议以及多种协议映射等,因此用户可以根据实际需要进行合理选择和设计,利于形成符合系统实际要求的专门的网络解决方案^[1].

FC 光纤通道协议具有带宽高、扩展性强、可靠性强、实时性强、支持多种媒介、抗电磁干扰等优良特点,传输速率高且传输稳定,和传统的电总线相比,光纤总线在各方面性能上都有着显著提高,到如今已经发展成为航空电子系统的主要候选协议之一,例如在美国 F35 战斗机中,FC 协议就已经得到了非常成功的应用.除此之外,在导弹、船舰、坦克、装甲车等方面 FC 光纤通道协议也得到非常广泛的应用.目前,其具体应用已经涉及到传感、测试、自动化、航空、航海等诸多领域,发展迅速并受到重视案^[2].

2 FC 协议的 PCS 层

2.1 FC 协议分层

FC 光纤通道协议包含多层,如图 1 所示,从底向上可以分为 5 个层次:FC-0 层~FC-4 层,5 个层次之间各自独立但又互相配合,如此才能正确地实现高速数据的串行传输.

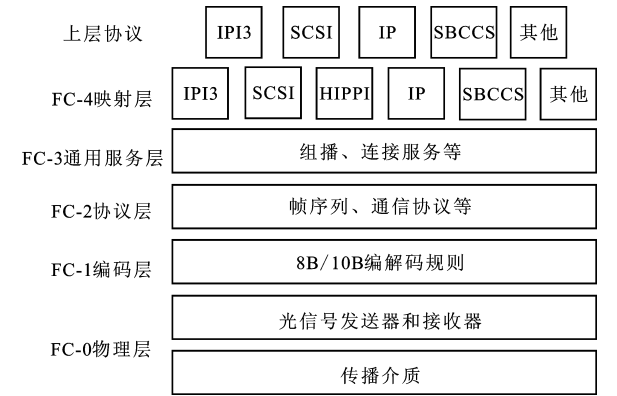


图 1 FC 协议层次结构图

FC-0 层:物理层,定义了通道点到点的物理连接,由传播介质、发送器和接收器组成.该层设计灵活性较强,两个 N 端口之间可以使用不同技术链路,同时支持多模和单模光缆链接.

FC-1 层:编码层,该层采用 8B/10B 编解码,包含两类字符,数据字符 D 码和专用字符 K 码. D 码表示纯数据, K 码表示控制字符,如帧头、帧尾、IDLE 空闲状态等. D 码有 256 种, K 码有 12 种,一共 268 种统一起来构成 8B/10B 编解码体系的所有字符.该层核心目的是限制数据的最大长度,避免长连 1 和长连 0 的情况,编码后的数据流中 0 和 1 的

个数平衡,保证了信号传输过程中具有较高的变换频率,降低了直流分量,有利于数据的时钟恢复,实现 DC 平衡案^[3-4].

FC-2 层:协议层,规定数据块传输机制,包括序列状态块、交换状态块、通用交换网等模型.此外还介绍了分段、重传、服务类型、应答机制以及数据帧格式等.

FC-3 层:通用服务层,包括多条传送、搜索组和多点传送等,提供了 FC 节点上多个 N 端口的通用服务,常用的有名称服务和时间服务,利于设备进行良好的同步.

FC-4 层:映射层,光纤通道协议最高的层次,负责完成上层协议到光纤通道的映射,定义了上层协议如何在光纤通道上运行.

其中,PCS 层称为物理编码子层,对应于 FC 光纤通道协议的 FC-1 层.

2.2 PCS 层内部结构

本文主要探究 FC 协议的 PCS 层,对应于 FC-1 编码层,内部数据路径可分为 TX 发送通路和 RX 接收通路,如图 2 所示. PCS 和 MAC 子层接口位宽为 64 位, PCS 和 PMA 子层接口位宽为 32 位.发送通路包含 TX 弹性缓冲器、8B/10B 编码器、TX 变速箱等模块,接收通路包含 RX 变速箱、RX 数据同步模块、8B/10B 解码器、RX 弹性缓冲器等.此外,还增设了 PCS 远端回环模块、PMA 远端回环模块、PCS 近端回环模块,可供实现各种回环测试和验证.下面将对发送通路和接收通路包含的各个关键模块进行设计实现.

3 设计实现

PCS 层发送和接收两条通路互逆,如图 2 所示, TX_Elastic_Buffer 和 RX_Elastic_Buffer 分别为发送和接收通路上互逆的弹性缓冲器, 8B/10B Encoder 和 8B/10B Decoder 分别为发送和接收通路上互逆的编码器和解码器, TX_Gearbox 和 RX_Gearbox 分别为发送和接收通路上互逆的位宽变化器, RX_Data_Sync 为接收通路上的数据同步器.

3.1 弹性缓冲器

PCS 子层内部由两个时钟域控制,分别为 MAC 层提供的 XGMII_CLK 和 PMA 层提供的 PMA_CLK,因此数据进行交换时需要进行跨时钟域操作,通常的做法是采用异步缓冲器来实现.但是在高速串行传输过程中,数据率高达 8.5 Gbps,假如采用传统的缓冲器,即使两个时钟频差很小,随着

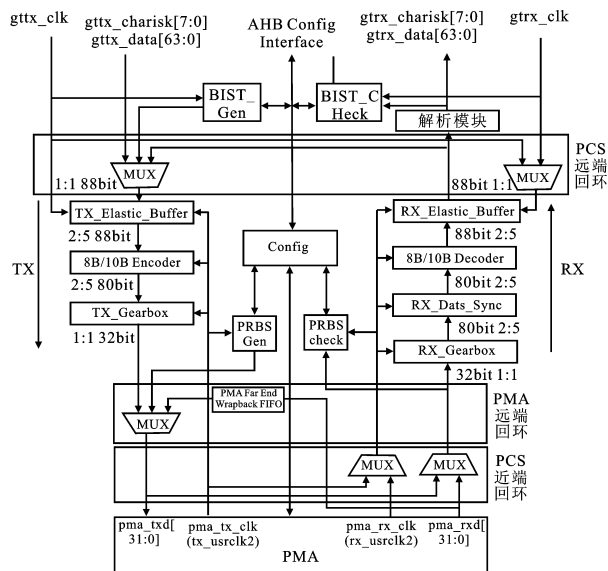


图2 FC-PCS层内部结构图

时间的积累缓冲器很快便会溢出或者读空,因而发生严重的传输错误。本文在传统的异步缓冲器基础上进行改进,结合协议自身特点,通过检测缓冲器两端读写速率的变化情况,合适地插入或者删除 IDLE 字符的方式,设计出一款具有弹性的缓冲器,能够对缓冲器两边进行频差弥补,维持缓冲器一直处于半满最优状态,并成功地实现了数据的跨时钟域操作。

发送和接收通路的弹性缓冲器分别对应于图2的TX_Elastic_Buffer和RX_Elastic_Buffer模块,具体深度设计为16,位宽为88位,包含64 bit纯数据、24 bit控制信号。此外,还单独设有overflow和underflow信号指示缓冲器的溢出/读空情况。以TX弹性缓冲器为例,实现结构如图3所示,主要包含:双口存储器、读/写地址产生逻辑、二进制码转格雷码模块、跨时钟域模块、格雷码转二进制码模块、读写地址差值计算器^[5]。写数据和读数据都为88 bit,由64 bit纯数据和3个8 bit控制码链接而成。双口存储器采用“两写一读”的形式,包含两个写地址 w_1/w_2 和一个读地址 r_1 。写入端由上层MAC提供的gtx_clk时钟控制,读出端由下层PMA提供的pma_txclk时钟控制。读地址 r_1 先进行二进制码转格雷码的变换,再从pma_txclk时钟域跨到gtx_clk时钟域,再将格雷码转换回二进制码,同写地址进行差值计算。检测差值判断读写速率偏差,读速率固定不变,当写速率和读速率匹配适当时,不进行任何操作;当写速率快于读速率时,写入端通过删除数据中IDLE字符的方式,降低写速率;当写速率慢

于读速率时,写入端往数据中插入IDLE字符,增加写入速率。当读写地址指针差值达到0或者16时,指示信号tx_overflow或者tx_underflow置1,表示溢出或者读空,并进行系统复位。以此调节读写速率,使弹性缓冲器维持在半满最优状态,实现读写平衡,弥补频率偏差。

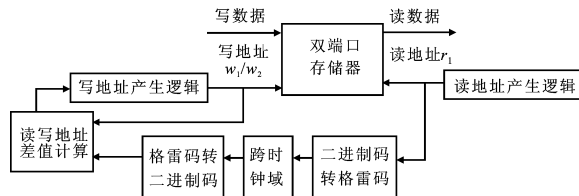


图3 TX弹性缓冲器结构图

对于RX弹性缓冲器,设计原理同TX弹性缓冲器相似,深度仍为16,位宽仍为88 bit,但是双口存储器改用“一写两读”的方式,溢出和指示信号分别为rx_overflow或者rx_underflow。

3.2 8B/10B 编解码器

FC协议的PCS层采用8B/10B编解码方式,因为传输数据为64 bit,所以需要拆分为8次编解码。这种方式有效避免了长连0/1的现象,最多不超过5位,也可保证0和1的个数平衡,数据中0和1的个数差值不超过2,可以降低信息中的直流分量,保证电平转换足够密集,使得数据在高频传输中具有较好的时钟恢复效果。8B/10B编码过程中,信号可以分为两类字符,数据字符集D码和专用字符集K码,分别用 $Dx.y$ 和 $Kx.y$ 表示。 $Dx.y$ 字符集有256个单元,其中 x 取0~31, y 取0~7; $Kx.y$ 字符集有12个单元,用于控制,例如表示帧头、帧尾以及IDLE空闲状态等。D码和K码一共有268种,共同构成8B/10B编解码系统的所有字符。8B/10B编码过程中涉及到两个重要概念:不均等性(disparity)和极性偏差(running disparity)。

不均等性表示‘1’和‘0’的个数偏差,极性偏差简称RD,表示‘1’和‘0’数量的比较。这里主要用到的是极性偏差RD。(1)RD取正:当1的个数比0多时,或者4B码为1100时,或者6B码为111000时。(2)RD取负:当0的个数比1多时,或者4B码为0011时,或者6B码为000111时。(3)除以上两类情况,其他码组定义为中性码,RD取其上一拍码组的RD值。

8B/10B编码不直接使用8 bit到10 bit的查找表方式,此方法效率低、开销大,当8 bit数据为D码时,先将数据拆分为低5B和高3B,结合RD值分

别进行 5B/6B 和 3B/4B 编码,最后合并数据得到 10B 编码输出.当 8 bit 数据为 K 码时,由于 K 码数目较少只有 12 种,所以直接采用查找表法进行实现.

3.3 位宽变换器

位宽变换器如图 2 中的两个 Gearbox 变速箱所示,因为 8B/10B 编解码器处理的数据为 80 bit,但是 PCS 层与 PMA 层之间数据接口为 32 bit,所以需要使用位宽变换器进行位宽转换,实现 80 bit 和 32 bit 数据之间的相互变换.

TX 变速箱,目的是将 8B/10B 编码传来的 80 bit 数据进行位宽变换,以 32 bit 位宽的数据和 PMA 层进行传输.首先根据最小公倍数法则, $80b \times 2 = 32b \times 5 = 160b$,结合分数分频法,可以得到:两组 80 bit 的数据输入并缓存,分 5 次进行 32 bit 的输出,一个完整的操作周期正好就能操作 160 bit 数据,以此实现 80 bit 到 32 bit 的位宽变换.具体操作如图 4 所示, F_{rd} 为 32 bit 数据读出频率, F_{wr} 为 80 bit 数据写入频率, F_{wr} 实际为 F_{rd} 的 $2/5$ 分频, F_{wr} 和 F_{rd} 都为高有效,即:当 F_{wr} 为 1 时,80 bit 数据写入,否则保持;当 F_{rd} 为 1 时,32 bit 数据读出,否则保持.一个完整周期包含 2 组 80 bit 数据写入,5 组 32 bit 数据读出,正好处理 160 bit 数据,以此实现 80 bit 到 32 bit 的位宽转换.

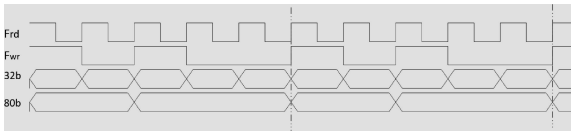


图 4 TX 位宽转换示意图

RX 变速箱,目的是将 PMA 层传来的 32 bit 数据进行位宽转换,变成 80 bit 数据传输给 PCS 层,为 TX 变速箱的逆操作,两者实现原理类似,也根据最小公倍数法则, $32b \times 5 = 80b \times 2 = 160b$,结合分数分频方法,5 组 32 bit 的数据输入并缓存,分 2 次进行 80 bit 的输出,一个完整的操作周期正好就能处理 160 bit 数据,完成 32 bit 到 80 bit 的位宽转换.具体操作如图 5 所示, F_{rd} 为 80 bit 数据读出频率, F_{wr} 为 32 bit 数据写入频率, F_{rd} 实际为 F_{wr} 的 $2/5$ 分频, F_{wr} 和 F_{rd} 都为高有效,即:当 F_{wr} 为 1 时,32 bit 数据写入,否则保持;当 F_{rd} 为 1 时,80 bit 数据读出,否则保持.一个完整周期包含 5 组 32 bit 数据写入,2 组 80 bit 数据读出,正好处理 160 bit 数据,以此实现 32 bit 到 80 bit 的位宽转换.

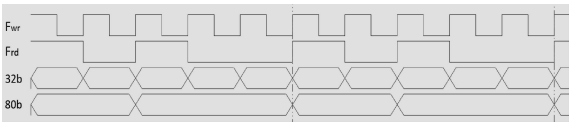


图 5 RX 位宽转换示意图

3.4 数据同步器

RX 通路比 TX 通路多一个模块,即图 2 中的 RX_Data_Sync 数据同步器,同步器的核心目的是将上一级 RX_Gearbox 传来的数据进行同步对齐操作.具体方法是解析出数据中的 K 码,并将其对齐在字符边界上,如果检测状态为未对齐,则进行移位操作,直到数据对齐以后,才将数据传给下一级 8B/10B 解码器.

数据同步机制如图 6 所示,复位时系统处于非对齐初始状态,检测数据中的边界字符是否为 K 码字符,如果不是 K 码字符,则进行移位操作,每次移位都重新检测数据中的边界字符是否为 K 码字符,当且仅当连续三次检测到边界字符为 K 码字符并且字符译码无任何错误时,系统则跳入同步对齐状态.当进入同步对齐状态以后,如果检测到字符编码错误,此时并不立即跳出对齐状态,必须连续检测到三次字符错误才跳出对齐状态,并重新回到非对齐初始状态,继续进行移位对齐操作,以此实现数据同步和对齐.

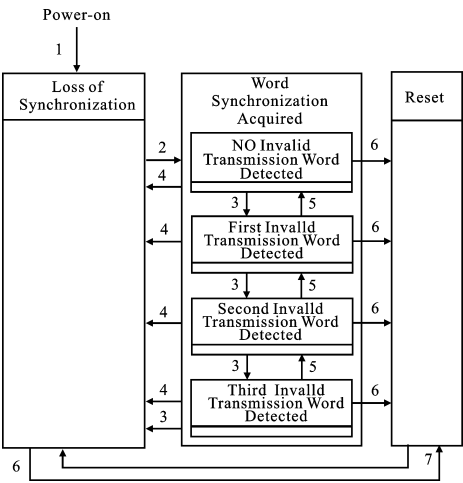


图 6 同步对齐示意图

4 仿真验证

完成了 FC 协议 PCS 层各关键模块的代码设计后,采用回环测试法,借助 FPGA 提供的 GTY,里边包含 IP 核 PMA,将设计的 PCS 层和 FPGA 提供的 PMA 联立起来,并借助第三方专用 FC 协议分析

仪,搭建完整测试环路,协议分析仪自动对比分析接收到的数据和发出的数据一致性,给出分析报告,最终完成 PCS 层的验证。

4.1 功能仿真

功能仿真结果如图 7 所示:gtrx_byteisaligned 为 1,gtrx_byterealign 为 0,表明数据字节已经对齐。数据变化部分,如图中方框所示,每次交接部分都是一个 32h'bc95d5d5、两个 32h'bc95b5b5、一个 32h'becb55555。根据协议规定:32h'bc95d5d5 为 EOF 帧尾符号,实际上为上一帧数据的结束;中间两个 32'hbc95b5b5,实际上为两个 IDLE 字符;最后一个 32h'becb55555,为 SOF 帧头符号,实际上为下一帧的起始。帧头和帧尾之间为纯数据,所以 gtrx_data[63:0]和 gtrx_charisk[7:0]表明接收到的数据流为数据和 IDLE 字符间插的情况,且接收到的数据和发出的数据 gttx_data[63:0]和 gttx_charisk[7:0]完全相同,且各种错误指示信号 gtrx_kerr、gtrx_disperr、gtrx_notintable 等都为 0 表示仿真结果无误,综上所述,表明 PCS 层功能仿真正确。



图 7 功能仿真结果图

4.2 协议分析仪验证

除了功能仿真,本设计还借助 FPGA 和 FC 专用协议分析仪,联立 PCS 层和 PMA 层,进行板上环路测试,左边为 FPGA 开发板,右边为 FC 协议分析仪。

FC 协议分析仪验证实际采用 PCS 远端回环测试模式,数据激励由协议分析仪产生,协议分析仪发出串行数据,输入到 PMA 进行串并转换,再输入给 PCS 层的 RX 通路,先后通过 RX 变速箱、数据同步器、8B/10B 解码模块、弹性缓冲器,再通过 PCS 远端回环到 TX 通路的弹性缓冲器、8B/10B 编码模块、变速箱,再传给 PMA 进行并串转换,最后将串行数据传回 FC 协议分析仪,协议分析仪自动对比分析接收数据和发出数据,通过专业软件给出测试报告,测试时间约为 1 小时,Tx Data Frames= Rx Data Frames=1220173230,测试时间内接收的数据帧数和发出的相同,为 1220173230 帧,约为 1.2 G

的数据。Dropped Frames=0,说明丢包数目为 0,误码率优于 1/1.2G=8.2e-10,各项 error 值为 0,平均延迟为 0.62 μ s,满足要求,证明 PCS 层工作正确。

5 结束语

本文深入研究 FC 协议的 PCS 层,解析其内部关键模块:弹性缓冲器、8B/10B 编解码器、位宽变换器、同步器等,提出整体设计架构,使用 VERILOG 语言完成代码设计,搭建回环验证平台,并采用 FC 专用协议分析仪,结合 FPGA 进行验证,完成设计。

参考文献:

[1] 林强,熊华钢,张其善. 光纤通道综述[J]. 计算机应用研究,2006,23(2):9-13.
[2] 杜玲,廖小海. FC-AE-1553 总线在箭载测量系统中应用研究[J]. 遥测遥控,2015,39(5):33-43.
[3] KIM Y W, KANG J K. An 8B/10B encoder with a modified coding table [C]//Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference, Macao, China,2008:1522-1525.
[4] SUN G C, YU D S. Design of dual-gigabit transceiver for fibre channel FC-1 layer[C]//Electron Devices and Solid-State Circuits, EDSSC 2008. IEEE International Conference, China, Hongkong,2008:1-4.
[5] VERILOG E, CUMMINGS C E. Simulation and synthesis techniques for asynchronous FIFO design[J]. Snug, 2002, Section TB2(3):1-18.

作者简介:

杨鈔翔 男,(1991-),硕士研究生.研究方向为集成电路设计. E-mail:1159580239@qq.com.
孔宪伟 男,(1986-),硕士,工程师.研究方向集成电路测试.
栾文焕 女,(1994-),硕士研究生.研究方向为集成电路设计.
张远航 女,(1994-),硕士研究生.研究方向为集成电路设计.
王志军 男,(1982-),硕士,工程师.研究方向为数字集成电路设计.
张春 男,(1972-),博士,副研究员.研究方向为数模混合信号集成电路设计、嵌入式微处理器设计.
王自强 男,(1975-),博士,副研究员.研究方向为模拟集成电路设计.